

Our Company Classification No.: FP01802US11-18

Classification No.: SE0003 Mail-Out No.: 023269 Date Mailed-Out: January 30, 2004

Final Rejection

Patent Application Number	Pat App 2000-146443
Date Drafted	January 22, 2004
Patent Office Examiner	Takanobu Sakai 9190 5B00
Title of Invention	Superscalar microprocessor and data processing apparatus
Patent Applicant	Seiko Epson Corporation
Agent	Masanobu Hirukawa (and seven others)

The present application is rejected for the reason described in the Notice of Grounds for Rejection dated October 21, 2003.

Note that although the contents of the Appeal and the Procedural Amendment were investigated, we could not find any basis sufficient to overturn the reason for rejection.

Remarks:

The applicant claims in the Appeal that, 'The invention of the claims in the present application has a construction "which has a buffer means which buffers a plurality of instructions before decoding them". On the other hand, although it is described in Reference 2 (JP S64-36336A) for example that "In a processor which has a plurality of execution units and which can execute instructions out of order, an instruction buffer is installed", because Citation 2 targets large-scale general-use computers and does not target integrated microprocessors such as the invention of the claims of the present application, it cannot be a antecedent technology which suggests the invention in the present application. Because the construction of the invention of the claims in the present application is not disclosed in Citation 1 or 3, either, it cannot be said that the invention of the claims in the present application could be easily anticipated from Citations 1~3.'

However, because the invention described in Citation 2 (JP S64-036336A) targets "a processor", as described in line 1 of the lower-right column on page 3 ~ line 7 of the same column, it would be easy for one skilled in the art to apply the technical concept of, 'In a processor which has a plurality of execution units and can execute instructions out of order, an instruction buffer is installed' to an integrated microprocessor.

Therefore, it is recognized that the invention of the claims in the present application could be easily invented based on the inventions described in Citations 1, 2, and 3. (As for Citations 1~3, also see the points raised in the Notice of Reason for Rejection dated October 21, 2003.)

Therefore, the applicant's argument cannot be adopted.

This is hereby certified as an exact copy of the content recorded in the file. Kenji Kurita, Economy and Industry Officer. Date of Certification: January 23, 2004

79784

34

整理番号:SE0003

発送番号:023269 発送日:平成16年 1月30日

1

57103

拒絶査定



特許出願の番号	特願2000-146443
起案日	平成16年 1月22日
特許庁審査官	酒井 恭信 9190 5B00
発明の名称	スーパースカラーマイクロプロセッサ及びデータ 処理装置
特許出願人	セイコーエプソン株式会社
代理人	蛭川 昌信 (外 7名)

FP0/802

US11 公明
US12
US13
US14
US15
US16 公明
US17
US18

この出願については、平成15年10月21日付け拒絶理由通知書に記載した理由によって、拒絶をすべきものである。

なお、意見書及び手続補正書の内容を検討したが、拒絶理由を覆すに足りる根拠が見いだせない。

備考

出願人は、意見書において、「本願の各請求項に係る発明は、『複数の命令をデコードする前にバッファリングするバッファ手段を有する』構成である。一方、例えば引用文献2（特開昭64-036336号公報）には、確かに、『複数の実行ユニットを有し、命令をアウトオブオーダーで実行可能なプロセッサにおいて、命令バッファを設ける』ことが記載されているが、引用文献2は大型汎用計算機を対象としたもので、本願各請求項に係る発明のように集積化したマイクロプロセッサを対象としたものではないから、本願発明を示唆する先行技術とはなり得ない。引用文献1、3にも、本願各請求項に係る発明の前記構成は開示されていないから、本願各請求項に係る発明が引用文献1～3から容易に想到し得たとは言えない。」旨を主張している。

しかし、引用文献2（特開昭64-036336号公報）に記載された発明は、例えば第3頁下段右欄第1行～同欄第7行に記載されているように、『プロセッサ』を対象としているから、引用文献2に開示された「複数の実行ユニットを有し、命令をアウトオブオーダーで実行可能なプロセッサにおいて、命令バッファを設ける」という技術思想を、集積化したマイクロプロセッサに適用するのは、当業者にとって容易なことである。

よって、本願各請求項に係る発明は引用文献1、2、3に記載された発明に基づいて容易に発明できたと認められる。（引用文献1～3については、平成15年10月21日付け拒絶理由通知書における指摘も参照されたい。）

上記はファイルに記録されている事項と相違ないことを認証する。

認証日 平成16年 1月23日 経済産業事務官 栗田 健志